

日本国特許庁
JAPAN PATENT OFFICE

11-5-8-87/px
J10000 U.S. PTO
10/041791
10/19/01


別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年10月19日

出願番号
Application Number:

特願2000-319402

出願人
Applicant(s):

ソニー株式会社

印

2001年 8月31日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造

出証番号 出証特2001-3077313

【書類名】 特許願
【整理番号】 0000767602
【提出日】 平成12年10月19日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/341
【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内
【氏名】 平野 智之
【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内
【氏名】 浅田 和己
【特許出願人】
【識別番号】 000002185
【氏名又は名称】 ソニー株式会社
【代表者】 出井 伸之
【代理人】
【識別番号】 100098785
【弁理士】
【氏名又は名称】 藤島 洋一郎
【手数料の表示】
【予納台帳番号】 019482
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9708092

特2000-319402

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 基板上に、半導体膜を形成した後、前記半導体膜の表面に球状または半球状の微結晶を成長させる工程と、

前記半導体膜の表面に成長した微結晶に不純物を拡散させる工程と、

前記不純物の拡散工程において生じた不純物生成物を、温水を用いて前記半導体膜の表面から除去する工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記半導体膜をシリコン材料により形成すると共に、前記不純物としてリンまたは砒素を用いる

ことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記温水として純水を用いる

ことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記温水の温度を、30°C～80°Cの範囲内とする

ことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 前記微結晶が形成されると共に、不純物を含む半導体膜を、キャパシタの一方の電極として用いる

ことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 前記微結晶が形成されると共に、不純物を含む半導体膜を、不揮発性メモリ装置のフローティングゲート電極として用いる

ことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】 さらに、前記不純物生成物を除去する工程の後に、前記半導体膜上の自然酸化物を除去する工程

を含むことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項8】 前記自然酸化物を、フッ酸および純水の混合液を用いて除去する

ことを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 基板上に、半導体膜を形成した後、前記半導体膜の表面に球

状または半球状の微結晶を成長させる工程と、

前記半導体膜の表面に成長した微結晶に不純物を拡散させる工程と、

前記不純物の拡散工程において生じた不純物生成物を、塩酸および過酸化水素の混合液、または硫酸および過酸化水素の混合液のいずれかを用いて、前記半導体膜の表面から除去する工程と

を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、シリンダ状のキャパシタなどを作製するための半導体装置の製造方法に関する。

【0002】

【従来の技術】

現在、DRAM (Dynamic Random Access Memory) のようなメモリ装置において、キャパシタは情報を保持するための素子として用いられているが、メモリ装置の各メモリセルにおけるキャパシタの占有面積は、半導体集積回路の高集積化に伴い小さくなっている。これにより、キャパシタの容量 (キャパシタンス) の減少を招いている。しかし、メモリセルの機能を十分に果たすためには、一定の容量を確保しなければならない。また、メモリ装置を収納するパッケージ材や蓋体から放射されるアルファ (α) 線によるソフトエラーやノイズに対して十分なマージンを得るために、容量をさらに増加させる必要がある。そこで、キャパシタの容量を増加させるために、誘電率が高い強誘電膜を用いる方法や、キャパシタの電極面積を大きくする方法などが提案されている。

【0003】

キャパシタの電極面積を大きくする方法としては、HSG (Hemispherical Grain ; 半球状の微結晶) 膜を電極として用いるものがある (例えば、特開平8-306646号公報)。この方法では、まず、キャパシタの下部電極として用いるための、不純物を含む非晶質 (アモルファス) 半導体膜である非晶質シリコン膜に対してシラン (SiH_4) を照射 (供給) することにより、その表面に結晶

核が形成される。その後、続けてアニール処理を行い、非晶質シリコン膜の表面のシリコン原子が、形成された結晶核に集まるように移動（マイグレーション）することにより、非晶質シリコン膜の表面に HSG-Si (Hemispherical Grained Silicon ; シリコンの半球状の微結晶) が形成される。このようにして HSG 膜を形成した後、空乏化抑制のために、例えばホスフィン (PH₃) 霧囲気中でアニール処理を行うことにより、その半球状の微結晶に不純物であるリン (P) が拡散され、これによりキャパシタの下部電極が形成される。その後、キャパシタの誘電膜（例えば窒化膜）および上部電極を順次形成してキャパシタの作製が行われる。

【0004】

【発明が解決しようとする課題】

ところで、上述の従来の方法では、PH₃ 霧囲気中でのアニール処理により生じたリン生成物であるリン化合物がシリコン膜に付着するので、これを除去するために、洗浄溶液として SC1 (水酸化アンモニウム (NH₄OH) と過酸化水素 (H₂O₂) の混合液) を用いたエッチングによる洗浄処理が行われる。そして、自然酸化物などを除去するために、希フッ酸 (DHF) を用いたエッチングによる洗浄処理が行われている。しかし、SC1 を用いた場合には、半球状の微結晶がエッチングにより欠落してしまうので、電極面積が減少してしまうという問題があった。また、このエッチングにより半球状の微結晶が欠落し、隣接するキャパシタの下部電極が短絡（ショート）してしまうという問題があった。これを避けるために、SC1 を用いることなく希フッ酸を用いたエッチングによる洗浄処理のみを行った場合には、リン化合物によりフッ酸 (HF) の洗浄槽を汚染してしまうという問題が生じてしまう。

【0005】

本発明はかかる問題点に鑑みてなされたもので、その目的は、不純物を含む半導体膜に形成された例えば半球状の微結晶の欠落を極力抑えながら、半導体膜に付着している不純物生成物を効率よく除去することが可能な半導体装置の製造方法を提供することにある。

【0006】

【課題を解決するための手段】

本発明による半導体装置の製造方法は、基板上に、半導体膜を形成した後、半導体膜の表面に球状または半球状の微結晶を成長させる工程と、半導体膜の表面に成長した微結晶に不純物を拡散させる工程と、不純物の拡散工程において生じた不純物生成物を、温水を用いて半導体膜の表面から除去する工程とを有している。

【0007】

また、本発明による他の半導体装置の製造方法は、基板上に、半導体膜を形成した後、半導体膜の表面に球状または半球状の微結晶を成長させる工程と、半導体膜の表面に成長した微結晶に不純物を拡散させる工程と、不純物の拡散工程において生じた不純物生成物を、塩酸および過酸化水素の混合液、または硫酸および過酸化水素の混合液のいずれかを用いて、半導体膜の表面から除去する工程とを有している。

【0008】

本発明の製造方法では、基板上の半導体膜の表面に球状または半球状の微結晶が成長される。次いで、半導体膜の表面に成長した微結晶に不純物が拡散され、この不純物の拡散工程において生じた不純物生成物が、温水、塩酸および過酸化水素の混合液、または硫酸および過酸化水素の混合液のいずれかを用いて、半導体膜の表面から除去される。

【0009】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0010】

図1～図4は、本発明の一実施の形態に係る半導体装置としてのシリンダ状のキャパシタの製造方法を説明するためのものである。まず、図1 (A) に示したように、シリコン基板のような半導体基板 (ウェハ) 11に、これを活性領域とフィールド領域に分離するためのフィールド酸化膜12と、層間絶縁膜13と、後述するシリンダコア層16をエッティング除去する際にエッティングストップとして機能する、例えば100nmの厚さの窒化シリコン膜14とを順に形成する。

【0011】

次に、図1 (B) に示したように、所定のパターンを有するレジスト（図示せず）をマスクとして用いて、窒化シリコン膜14および層間絶縁膜13を異方性エッティングすることにより、半導体基板11に到達するコンタクトホール15を形成する。次いで、図1 (C) に示したように、このコンタクトホール15を含む全面に、例えばリンを含む非晶質シリコンまたは多結晶（ポリ）シリコンからなる導電膜を形成した後、CMP (Chemical Mechanical Polishing ; 化学機械研磨) または等方性エッティングを行うことにより、半導体基板11の活性領域に接するコンタクト電極15Aを形成する。

【0012】

次に、図2 (A) に示したように、窒化シリコン膜14の表面およびコンタクト電極15Aの上部に、例えばBPSG (Boronphoshosilicate Glass) のようなシリコン酸化膜系材料からなるシリンドコア層16を1000nm程度の厚さで形成する。ここで、所定のパターンを有するレジスト（図示せず）をマスクとして用いたエッティングにより、図2 (B) に示したように、シリンドコア層16をパターニングし、コンタクト電極15Aの上部を露出させる。この状態で、シリンドコア層16の上面だけでなく、そのパターニング部分16Aの内壁面をも覆うように、不純物（例えばリン）を含む非晶質半導体膜としての非晶質シリコン膜17を例えば100nmの厚さで形成する。

【0013】

シリンドコア層16の上面に形成された非晶質シリコン膜17をCMPにより除去し、パターニング部分16Aの内壁面に形成された非晶質シリコン膜17のみを残す。さらに、希フッ酸を含むエッティング溶液を用いたウエットエッティングを行うことにより、図3 (A) に示したように、シリンドコア層16を選択的に除去し、キャパシタを構成するシリンド状の下部電極17Aを形成する。なお、層間絶縁膜13は、窒化シリコン膜14によって覆われているので、このエッティングによる影響を受けることはない。

【0014】

ここで、反応チャンバ（図示せず）内にシラン（ SiH_4 ）ガスまたはジシラン（ Si_2H_6 ）ガスを導入することにより、下部電極17Aの表面に選択的に結晶核を形成する。その後、ガスの導入を停止させ、超高真空圧力（例えば 5×10^{-6} Pa）下または不活性ガス雰囲気（例えば N_2 ガス）下でアニール処理を行うことにより、図3（B）に示したように、形成した結晶核を中心として多数の球状または半球状の微結晶18を下部電極17Aの表面に形成する。1つの微結晶18の直径は、30nm～40nmの範囲内である。その後、下部電極17Aの空乏化抑制のために、 PH_3 雰囲気中でアニール処理を行う。アニール温度は、例えば650°C～750°Cの範囲内、アニール時間は30分～120分の範囲内とする。このアニール処理により、微結晶18にリンを拡散させる。

【0015】

ここで、下部電極17Aの表面には、上記の PH_3 雰囲気中でのアニール処理によって、図4（A）に示したように、例えばリン化合物のような不純物生成物19が付着するので、下部電極17Aをエッチングしないような洗浄溶液を用いた洗浄処理を行うことにより不純物生成物19のみを除去する。ここでは、洗浄溶液として、温水（例えば60°CのD I W（Deionized Water；純水））を用いる。その後、下部電極17Aの表面に形成されている自然酸化膜は、フッ酸（HF）と水（ H_2O ）の混合液（HFと H_2O の混合比は、例えば1:200）が入ったHF槽に浸すような洗浄処理により除去する。このような下部電極17Aの洗浄処理を行った後、図4（B）に示したように、例えば窒化膜である誘電膜20を下部電極17Aの表面を覆うように形成し、この誘電膜20を覆うように例えば不純物（リンなど）を含む非晶質シリコン膜からなる上部電極21を形成することにより、シリンドラ状のキャパシタを作製する。

【0016】

以上のようにして作製されたキャパシタは、1つのウェハ上に多数隣接して配置されることになる。

【0017】

ここで、上記の洗浄処理による洗浄効果を調べるために、洗浄処理を行わない場合（（1））、上記の洗浄処理を行った場合（（2））および従来の洗浄処理

を行った場合（（3））の下部電極17Aのリン濃度をXRF（X-ray Fluorescence；蛍光X線）分析法により測定した。図5は、その測定結果を表すものである。図5において、縦軸はリン濃度（wt%（重量%））を表している。従来の洗浄処理においては、洗浄溶液として、SC1およびDHFを用いた。図5から、（1）の場合と比較して、（2）の場合の方が、（3）の場合と同様に下部電極17Aのリン濃度が低下しており、下部電極17Aの表面から不純物生成物19が除去されていることがわかる。従って、温水を用いた洗浄処理によって、自然酸化物を除去するために用いられるHF槽が不純物生成物19により汚染されるのを極力抑えることが可能となる。

【0018】

また、上記（1）～（3）のそれぞれの場合における下部電極17Aの表面の反射率を一般的な反射率測定器を用いて測定した。図6はその測定結果を表すものである。この反射率の変化は、下部電極17Aの表面に形成されている微結晶18の個数および大きさの変化にほぼ対応する。縦軸は、（1）の場合に測定された反射率を100%とした時の反射率（%）を表している。図6から、（3）の場合と比較して、（2）の場合の方が反射率は大きく、（1）の場合との反射率の差は少なくなっていることがわかる。これは、（2）の場合に下部電極17Aの表面に残っている微結晶18の個数および大きさが（3）の場合よりも多くて大きいことを示している。これにより、（2）の場合の方が微結晶18が欠落しにくいことがわかった。その結果、下部電極17Aの電極面積が減少し、キャパシタの容量が少なくなるのを極力抑えることが可能となる。

【0019】

図7は上記（2）または（3）の場合に微結晶18が下部電極17Aの表面から欠落することにより、ウェハ上に形成されている複数の下部電極の中の隣接する下部電極間で生じた短絡（欠陥）箇所をSEM（Scanning Electron Microscope；走査型電子顕微鏡）により撮影した写真を模式的に表したものであり、その様子を上から見たものである。図7では、欠陥箇所が中央部分に発生している。そこで、上記（2）および（3）の場合に、隣接する下部電極間で生じた欠陥箇所を欠陥検査装置により検出した。図8はその検出結果を表すものである。縦軸

は、1つのウェハ面内における欠陥個数を表している。図8から、(3)の場合と比較して、(2)の場合の方が、欠陥個数は大幅に少なくなっていることがわかる。これにより、隣接して形成されるキャパシタの下部電極間の短絡の発生を極力抑え、信頼性の高いキャパシタを作製することができる。

【0020】

上記の洗浄処理では、洗浄溶液として60°Cの純水を用いたが、この純水の温度を変化させて洗浄処理を行った場合における下部電極の、不純物生成物を含むパーティクルの除去率をパーティクルカウンタにより測定した。図9はその測定結果を表したものである。縦軸は、パーティクル除去率(%)を表している。横軸において、(a)は、洗浄溶液として約60°CのSC1を用いた場合、(b)は、約30°CのSC1を用いた場合を表している。(c)～(h)は、異なる温度(30°C, 40°C, 50°C, 60°C, 70°C, 80°C)の純水を用いた場合を表している。図9から、純水の温度の上昇に伴いパーティクル除去率も増加していることがわかる。しかし、純水の沸点は100°Cであるため、その温度が例えば80°Cより高くなると、純水内で泡が発生し、この泡に帶電付着するパーティクルがウェハに再付着する場合がある。また、純水の温度を上昇させるための温水器の能力の関係上、温度が高くなるにつれて純水の供給流量が低下するため、温度が例えば80°Cよりも高くなると、所望の洗浄効果を得るのに必要な流量を確保できなくなる。因みに、通常では、20(リットル/分)の流量であるが、70°C以上では、数リットル/分まで低下する。純水の温度が30°Cから40°Cに増加した場合には、それ以降の場合と比較して、パーティクル除去率の増加の割合が大きくなっている。以上のことから、洗浄溶液として用いる純水の温度としては、80°C以下、特に30°C～80°Cの範囲内であることが好ましく、40°C～80°Cの範囲内である方がさらに好ましい。

【0021】

上記の洗浄処理においては、洗浄溶液として純水を用いたが、この代わりに、硫酸(H₂SO₄)および過酸化水素(H₂O₂)の混合溶液(混合比は、例えば1:5である)を用いて下部電極を洗浄処理した場合のリン濃度、反射率およ

び欠陥個数について測定（検出）を行った。この場合にも、（2）の場合と同様な結果が得られ、このような混合溶液も下部電極の洗浄処理に有効であることがわかった。

【0022】

また、洗浄溶液として、塩酸（HCl）およびH₂O₂の混合水溶液（HCl、H₂O₂およびH₂Oの混合比は、例えば1:1:8である）を用いて下部電極を洗浄処理した場合のリン濃度、反射率および欠陥個数について測定を行ったが、この場合にも、（2）の場合と同様な結果が得られ、このような混合溶液も下部電極の洗浄処理に有効であることがわかった。

【0023】

以上のように、本実施の形態では、球状または半球状の微結晶を形成して不純物を拡散させる工程においてキャパシタの下部電極に付着した不純物生成物を、温水を用いた洗浄処理により除去している。従って、微結晶が欠落することによるキャパシタの容量の低下を抑えることができる。また、この微結晶の欠落により、隣接する下部電極間で短絡（欠陥）が生じるのを極力抑え、信頼性の高いキャパシタを作製することが可能となる。

【0024】

上記実施の形態では、シリンダ状のキャパシタの下部電極を形成する際の洗浄方法について説明したが、本発明は、これに限られず、他の半導体装置、例えば、いわゆるフローティングゲート型の不揮発性メモリ装置を製造する場合にも適用することが可能である。

【0025】

図10（A）～（E）は、この種のメモリ装置の製造方法を説明するためのものである。まず、図10（A）に示したように、p型単結晶の半導体基板31上に、酸化シリコン（SiO₂）からなる、10nmの厚さの第1の絶縁膜32を熱酸化法により形成する。この第1の絶縁膜32の上に、リンを含む、150nmの厚さの非晶質シリコン膜を第1の導電膜33としてLPCVD（Low Pressure Chemical Vapor Deposition；低圧気相成長）により形成する。例えば、成膜温度は530°C、成膜ガスはSiH₄ガスとする。この第1の導電膜33に対

して、 SiH_4 を照射（供給）するとともに、 560°C でアニール処理を行うことにより、図10（B）に示したように、その表面に球状または半球状の微結晶 33A を形成する。この状態で、 PH_3 霧囲気中でのアニール処理により、微結晶 33A に対してリンのドーピングを行う。このドーピング後、所定のフォトレジスト（図示せず）をマスクとして用いて、第1の絶縁膜 32 および第1の導電膜 33 を選択的にエッチングすることにより、図10（C）に示したように、フローティングゲート電極 34 を形成する。

【0026】

ここで、温水（例えば 60°C の純水）を用いた洗浄処理を行う。この洗浄処理後、熱酸化法またはCVDにより、 SiO_2 からなる第2の絶縁膜 35 を形成する。この第2の絶縁膜 35 の上に 100nm の厚さの多結晶シリコン膜をLPCVDにより形成した後、この多結晶シリコン膜に対してリンのドーピングを行うことにより、図10（D）に示したように、第2の導電膜 36 を得る。

【0027】

この第2の導電膜 36 を、所定のフォトレジスト（図示せず）をマスクとして用いて、フローティングゲート電極 34 の上部の一部分および側部の一方へ残存するように選択的にエッチングすることにより、コントロールゲート電極 37 を形成する。フローティングゲート電極 34 およびコントロールゲート電極 37 をマスクとして用いて、半導体基板 31 に対して砒素またはリンなどの n 型不純物をイオン注入することにより、図10（E）に示したように、 n 型ドレイン領域 38 および n 型ソース領域 39 を形成する。そして、注入したイオンを活性化させるために、アニール処理を行う。これにより、フローティングゲート型の不揮発性メモリ装置を製造する。

【0028】

以上のように、フローティングゲート型の不揮発性メモリ装置を製造する場合においても、微結晶 33A が形成されたフローティングゲート電極 34 に対して温水を用いた洗浄処理を行っている。従って、この洗浄処理によって、微結晶 33A の欠落によるフローティングゲート電極 34 の表面積の減少を抑えながら、不純物生成物を除去することができる。

【0029】

以上、本発明の実施の形態について説明したが、本発明は上記の実施の形態に限定されることなく、種々の変形が可能である。例えば、上記実施の形態では、下部電極としての非晶質シリコン膜に含有される不純物としてリンを用いたが、砒素を用いることも可能である。また、キャパシタやメモリ装置以外のデバイスに適用することも可能である。

【0030】

【発明の効果】

以上説明したように、本発明の半導体装置の製造方法によれば、基板上に形成された半導体膜の表面に球状または半球状の微結晶を成長させ、この微結晶に不純物を拡散させ、この不純物の拡散において生じた不純物生成物を、温水、塩酸および過酸化水素の混合液、または硫酸および過酸化水素の混合液のいずれかを用いて、半導体膜の表面から除去するようにしたので、半導体膜からの微結晶の欠落を極力抑えながら、不純物生成物を効率よく除去することができる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態に係る半導体装置としてのシリンドラ状のキャパシタの製造方法を説明するための断面図である。

【図2】

図1に示した工程に続く工程を説明するための断面図である。

【図3】

図2に示した工程に続く工程を説明するための断面図である。

【図4】

図3に示した工程に続く工程を説明するための断面図である。

【図5】

洗浄処理された下部電極のリン濃度を測定した結果を表す図である。

【図6】

洗浄処理された下部電極の表面の反射率を測定した結果を表す図である。

【図7】

ウェハ上の隣接する下部電極間で生じた欠陥箇所を撮影したSEM写真の模式図である。

【図8】

ウェハ上の隣接する下部電極間で生じた欠陥箇所の個数を検出した結果を表す図である。

【図9】

異なる温度の洗浄溶液を用いて洗浄処理された下部電極のパーティクル除去率を表す図である。

【図10】

本発明の他の実施の形態に係る半導体装置としてのフローティングゲート型の不揮発性メモリ装置の製造方法を説明するための図である。

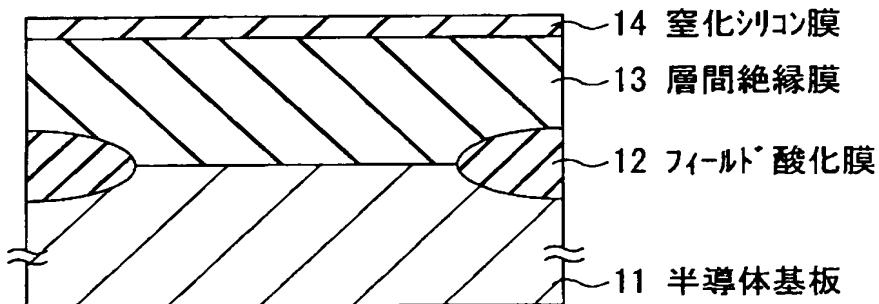
【符号の説明】

1 1, 3 1 …半導体基板、1 2 …フィールド酸化膜、1 3 …層間絶縁膜、1 4 …窒化シリコン膜、1 5 …コンタクトホール、1 5 A …コンタクト電極、1 6 …シリンドコア層、1 7 …非晶質シリコン膜、1 7 A …下部電極、1 8, 3 3 A …微結晶、2 0 …誘電膜、2 1 …上部電極、3 2, 3 5 …絶縁膜、3 3, 3 6 …導電膜、3 4 …フローティングゲート電極、3 7 …コントロールゲート電極、3 8 …n型ドレイン領域、3 9 …n型ソース領域。

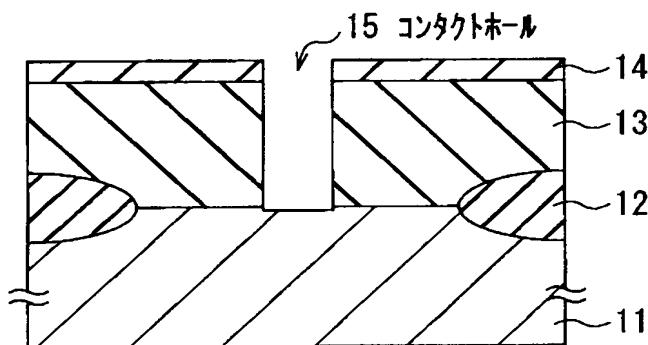
【書類名】 図面

【図1】

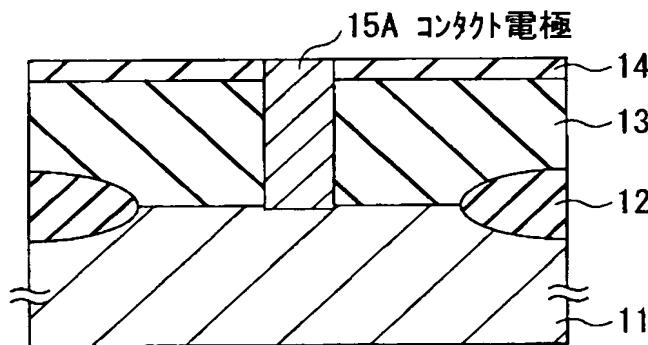
(A)



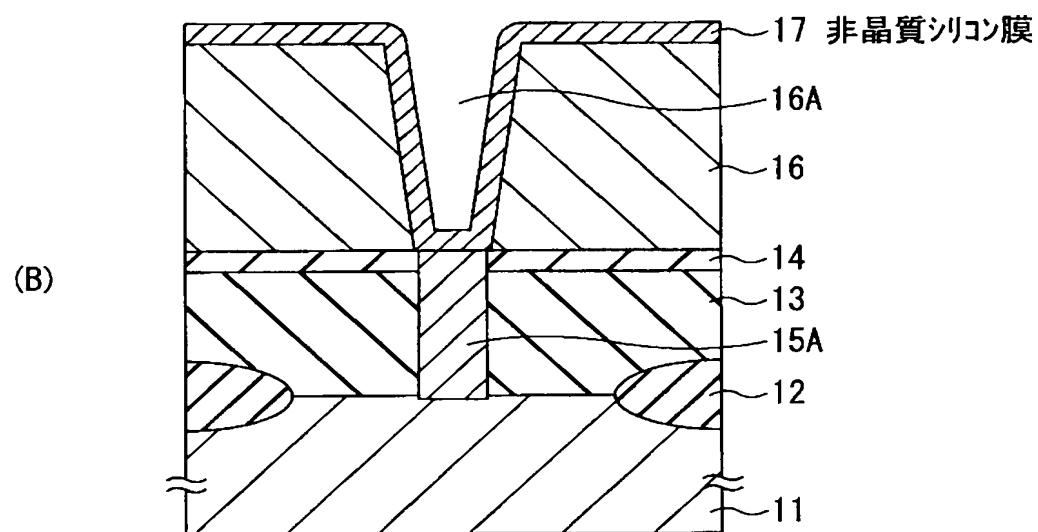
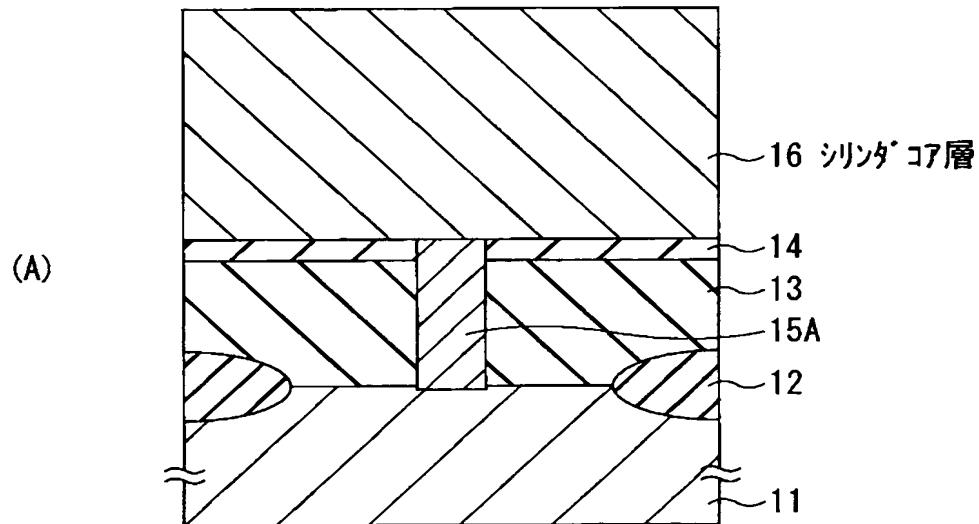
(B)



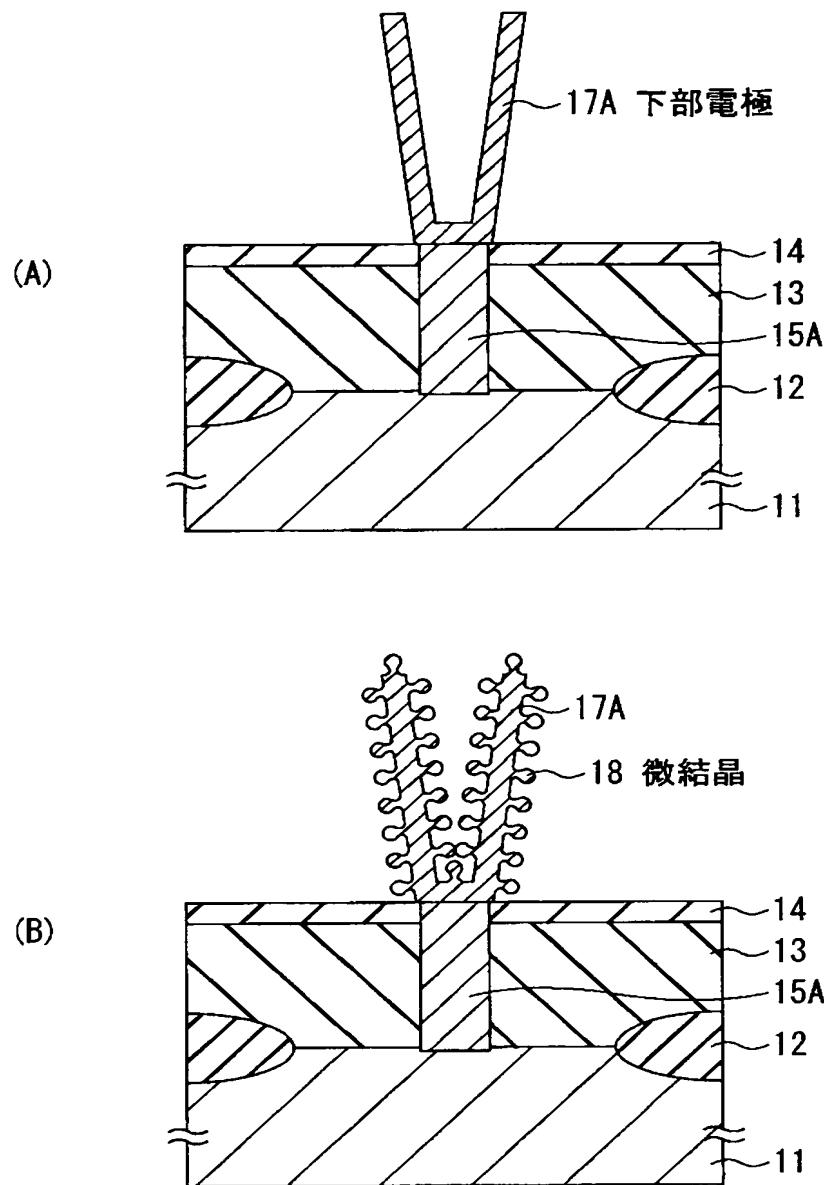
(C)



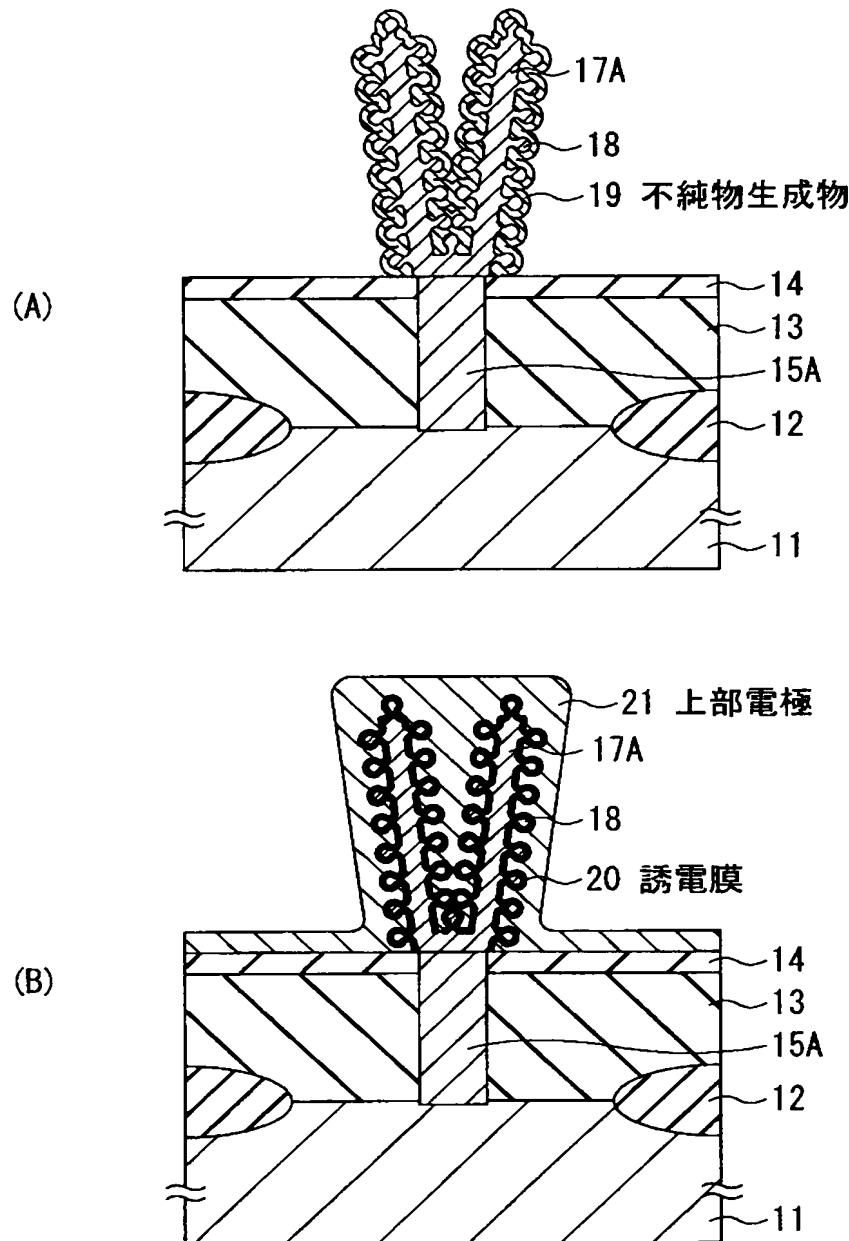
【図2】



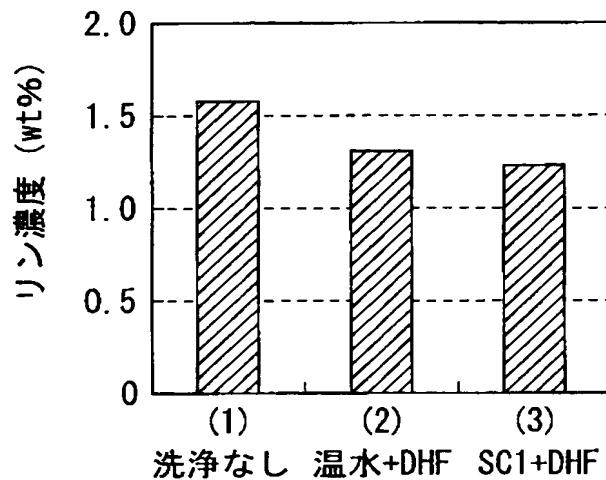
【図3】



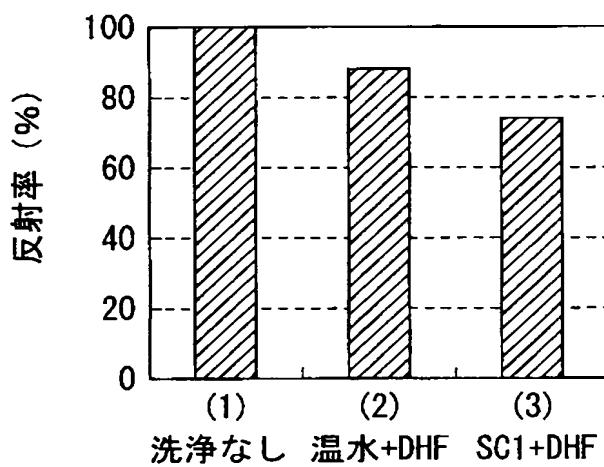
【図4】



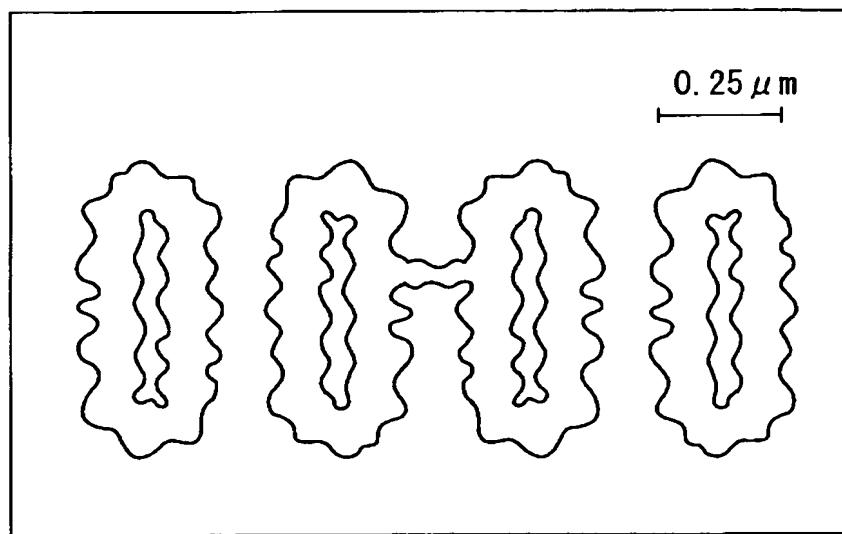
【図5】



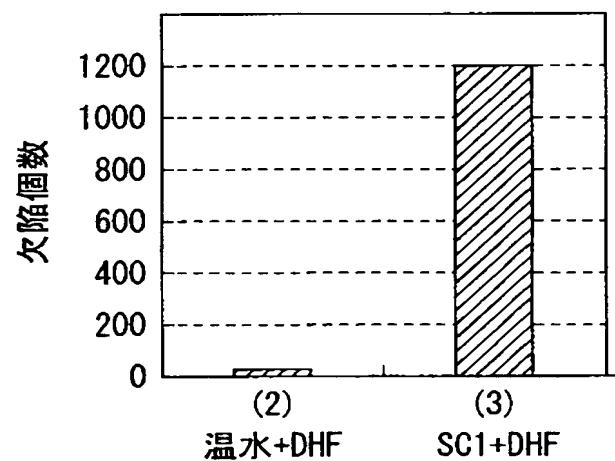
【図6】



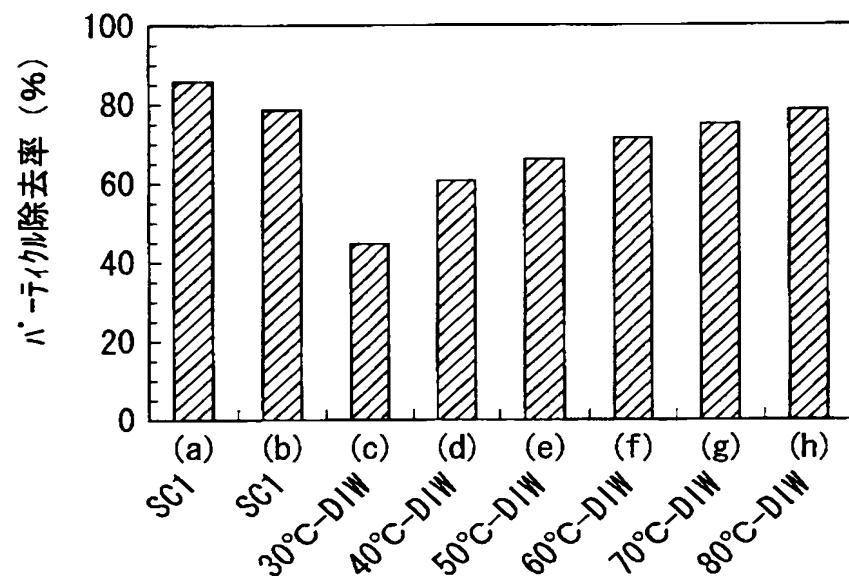
【図7】



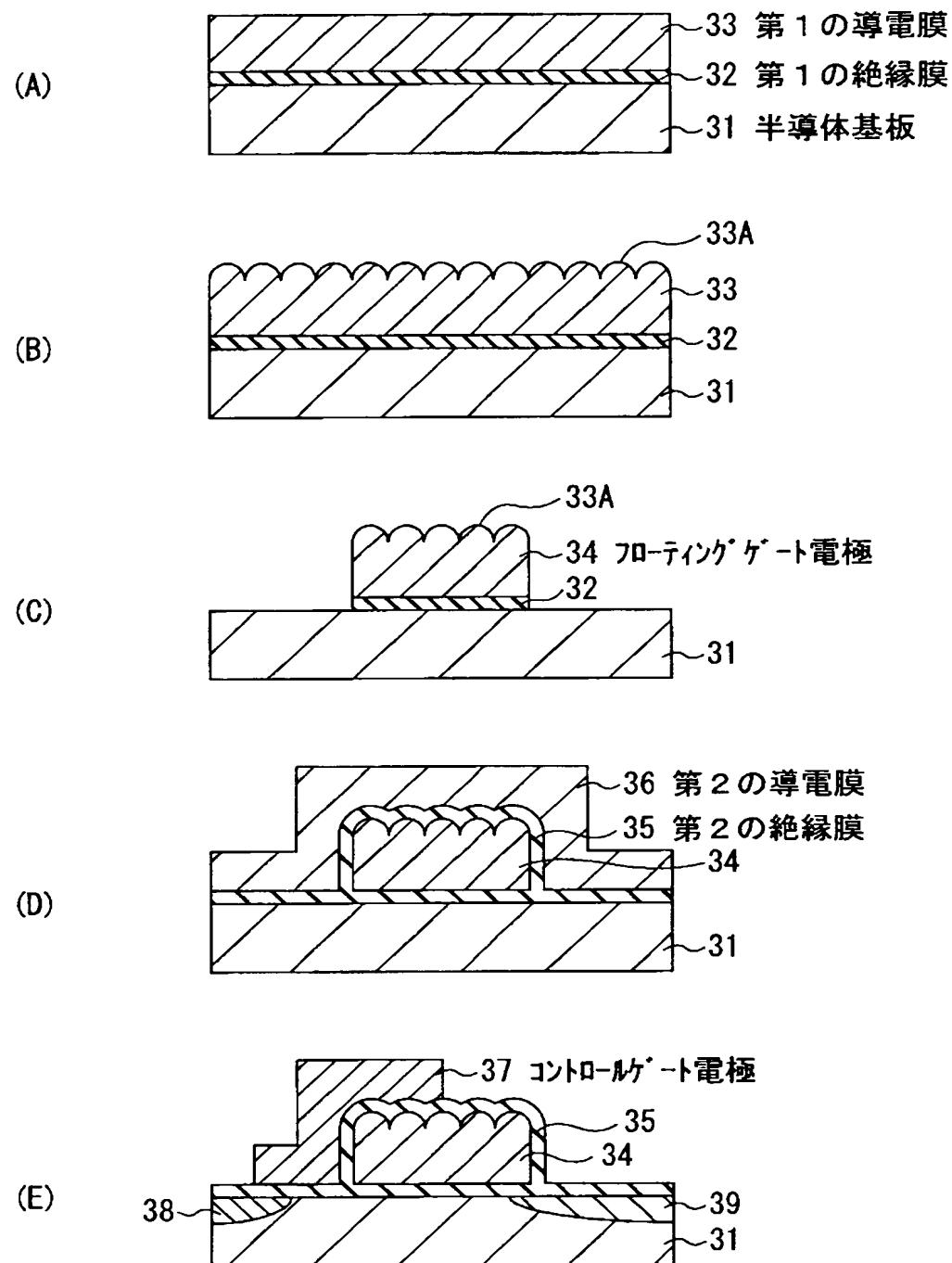
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 不純物を含む半導体膜に形成された例えば半球状の微結晶の欠落を極力抑えながら、半導体膜に付着している不純物生成物を効率よく除去することが可能な半導体装置の製造方法を提供する。

【解決手段】 キャパシタの下部電極17Aを構成する、リンを含む非晶質シリコン膜の表面に球状または半球状の微結晶18を形成する。この下部電極17Aの空乏化抑制のために、PH₃雰囲気中でアニール処理を行い、微結晶18にリンを拡散させる。このアニール処理により下部電極17Aの表面に付着している不純物生成物19を除去するために、温水（純水）を用いた洗浄処理を行う。下部電極17Aの表面に形成される自然酸化膜を、フッ酸と水の混合液を用いた洗浄処理により除去する。下部電極17Aの表面を覆うように、誘電膜20および上部電極21を順に形成することにより、シリンドラ状のキャパシタを作製する。

【選択図】 図4

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社